

(9) 日本国特許庁 (JP)

(11) 特許出願公開

(12) 公開特許公報 (A)

平3-190301

(5) Int. Cl. 5

H 01 P 1/00
 H 03 F 1/32
 H 03 H 11/04
 H 04 B 1/10

識別記号

府内整理番号

A 7741-5J
 8836-5J
 R 7741-5J
 Z 6447-5K

(4) 公開 平成3年(1991)8月20日

審査請求 未請求 請求項の数 40 (全20頁)

(5) 発明の名称 FETのソース-ドレイン伝導路を使用した非線形性発生器

(2) 特願 平2-330935

(2) 出願 平2(1990)11月30日

優先権主張 (3) 1989年12月1日 (3) 米国(U.S.) (3) 443,681

(7) 発明者 アレン・カツツ アメリカ合衆国、ニュージャージー州、トレントン、オールド・トレントン・ロード、1621番
 (7) 発明者 シヤバー・サレブハイ・ムーチヤラ アメリカ合衆国、ニュージャージー州、ケンドル・パーク、バージニア・ストリート、28番
 (7) 出願人 ゼネラル・エレクトリック・カンパニー アメリカ合衆国、ニューヨーク州、スケネクタディ、リバーロード、1番
 (7) 代理人 弁理士 生沼 徳二

明細書

1. 発明の名称

FETのソース-ドレイン伝導路を使用した
非線形性発生器

2. 特許請求の範囲

1. ゲート電極、ソース電極、ドレイン電極および前記ソースおよびドレイン電極の間の信号の流れに対する制御可能路を有するFETと、

前記ゲート電極と、前記ソースおよびドレイン電極の少なくとも一方とに接続され、バイアス電圧を前記ゲート電極に供給し、前記制御可能路を通過する信号を歪ませるように前記FETを制御するバイアス手段と、

歪ませるべき信号を前記ソースおよびドレイン電極の一方に供給し、前記信号を少なくとも一度前記制御可能路を通過させ、その結果の歪んだ信号を利用手段に供給する接続手段と、

を有する歪ませるべき信号用の歪み回路。

2. 前記接続手段は受動素子のみを有し、前記ソースおよびドレイン電極は少しでもバイアスさ

れる場合には前記バイアス手段によってのみバイアスされる請求項1記載の回路。

3. 前記接続手段は前記歪ませるべき信号を前記ソースおよびドレイン電極の一方に供給する第1の伝送路、および前記ソースおよびドレイン電極の他方に接続され、前記歪み信号を前記利用手段に供給するように前記利用手段に接続されるようになっている第2の伝送路を有する請求項1記載の回路。

4. 前記接続手段は前記信号による反射および前記制御可能路の2回目の通過を生ずるように前記ソースおよびドレイン電極の一方を短絡する第1の伝送路を有し、更に前記接続手段は歪ませるべき信号を前記ソースおよびドレイン電極の他方に供給する第2の伝送路を有する請求項1記載の回路。

5. 前記接続手段の前記第2の伝送路は更に前記歪ませるべき信号を前記ソースおよびドレイン電極の前記他方に流す第1の通路および前記ソースおよびドレイン電極の前記他方からの歪み信号

を前記利用手段に流す第2の通路を有する請求項
4記載の回路。

6. 前記第2の伝送路は循環装置を有している
請求項5記載の回路。

7. 前記第2の伝送路はハイブリッド回路を有
している請求項5記載の回路。

8. 線形信号源に接続されるようになっている
入力ポートと、

歪み信号を発生する出力ポートと、

前記入力および出力ポートの間に延びている信
号伝送路と、

ソース、ドレインおよびゲート電極を有する電
界効果トランジスタと、

前記ソースおよびドレイン電極の一方を前記伝
送路に接続して、前記線形信号を受信し、これに
より歪みが前記電界効果トランジスタに発生する
手段と、

基準電位源と、

前記ゲート電極を前記基準電位源に接続するイ
ンピーダンス手段と、

を有する歪み発生器。

9. 前記ゲート電極および前記基準電位源に接
続されたバイアス手段を更に有する請求項8記載
の発生器。

10. 前もって歪ませられる信号を受信するよ
うに接続されている入力ポート、先行歪ませ出力
ポートおよび少なくとも第3および第4のポート
を有し、前記前もって歪ませられる信号を第1お
よび第2の信号部分に分割し、前記第3および第
4のポートに供給される信号を結合して、前記先
行歪ませ出力ポートに前もって歪ませられた信号
を発生する信号分割および結合手段と、

前記信号分割および結合手段の少なくなくとも
前記第3のポートに接続され、前記信号分割お
よび結合手段からの前記第1の信号部分を受信し、
前記第1の信号部分に対して線形的に動作して線
形信号成分を発生し、前記線形信号成分を前記信
号分割および結合手段の前記第3のポートに供給
する線形動作手段と、

ゲート、ソースおよびドレイン電極を有する電

界効果トランジスタと、

前記信号分割および結合手段の少なくとも前記
第4のポートおよび前記電界効果トランジスタの
前記ソースおよびドレイン電極の一方に接続され、
前記第2の信号部分を前記電界効果トランジスタ
に供給し、前記電界効果トランジスタからの歪
み信号を前記信号分割および結合手段の前記第4の
ポートに供給し、これにより前記歪み信号および
前記線形信号成分が結合され、前記信号分割お
よび結合手段の前記先行歪ませ出力ポートに前記前
もって歪ませられた信号を発生する接続手段と、

を有する前もって歪ませられる交流信号用の先
行歪ませ等化器。

11. 前記信号分割および結合手段は前もって
歪ませられる信号を受信するようになっている前
記入力ポートを有する信号分割手段を有するととも
に、また第5および第6の出力ポートを有し、
前記前もって歪ませられる信号を前記第5および
第6のポートにおいてそれぞれ前記第1および第
2の信号部分に分割し、

前記信号分割および結合手段は更に前記先行歪
ませ出力ポートおよび前記第3および第4のポート
を有し、前記第3および第4のポートに供給さ
れる信号を結合して、前記前もって歪ませられた
信号を前記先行歪ませ出力ポートに発生する信号
結合手段を有し、

前記線形動作手段は前記第5のポートおよび前
記第3のポートの間に延びていて、前記第1の信
号部分を前記第5のポートから前記第3のポート
に供給する線形伝送路を有し、

前記結合手段は前記第6のポートと前記ソース
およびドレイン電極の前記一方との間に延びてい
て、前記第2の信号部分を前記電界効果トランジ
スタに供給する第2の伝送路を有するとともに、
また前記ソースおよびドレイン電極の一方と前記
第4のポートとの間に延びていて、前記歪み信号
を前記電界効果トランジスタから前記信号結合手
段に供給する第3の伝送路を有している請求項1
0記載の等化器。

12. 前記第3の伝送路は前記第4のポートと

特開平3-190301(3)

前記第1の伝送路が接続されていない前記電界効果トランジスタの前記ソースおよびドレイン電極の一方との間に延びている請求項11記載の等化器。

13. 基準電位源と、

前記ゲート電極と前記基準電位源との間に接続されたインピーダンス手段とを更に有する請求項12記載の等化器。

14. 前記ゲート電極に接続され、非線形動作を行うように前記電界効果トランジスタをバイアスするバイアス手段を更に有している請求項12記載の等化器。

15. 前記第3の伝送路は前記第4のポートと前記第2の伝送路が接続されている前記ソースおよびドレイン電極の前記一方との間に延びている請求項11記載の等化器。

16. 基準電位源と、

前記基準電位源および前記ソースおよびドレイン電極の他方に接続された第2の接続手段とを更に有する請求項15記載の等化器。

前記接続手段は前記第4のポートと前記ソースおよびドレイン電極の前記一方との間に延びて、前記第2の信号部分を前記電界効果トランジスタに供給し、前記歪み信号を前記電界効果トランジスタから前記第4のポートに供給する伝送手段を有する請求項10記載の等化器。

21. 基準電位源を更に有し、

前記ソースおよびドレイン電極の他方は前記基準電位源に接続されている請求項20記載の等化器。

22. 前記ゲート電極と前記基準電位源との間に接続されたインピーダンス手段を更に有する請求項21記載の等化器。

23. 前記ゲート電極に接続され、非線形動作を行うように前記電界効果トランジスタをバイアスするバイアス手段を更に有している請求項21記載の等化器。

24. 前もって歪ませられる信号の供給源に接続されるようになっていて、第1および第2の出力ポートを有し、前記前もって歪ませられる信号

17. 前記第2の接続手段は大きさが実質的に零であるインピーダンスを有する請求項16記載の等化器。

18. 前記ゲート電極と前記基準電位源との間に接続されたインピーダンス手段を更に有する請求項16記載の等化器。

19. 前記ゲート電極に接続され、非線形動作を行うように前記電界効果トランジスタをバイアスするバイアス手段を更に有する請求項18記載の等化器。

20. 前記信号分割および結合手段は前記第1の信号部分を前記第3のポートから伝播し、前記第2の信号部分を前記第4のポートから伝播するハイブリッド回路を有し、

前記線形動作手段は前記第3のポートに接続され、前記第1の信号部分を前記第3のポートから受信し、前記線形信号成分を前記第3のポートに反射する線形反射回路を有し、

前記電界効果トランジスタは反射回路の一部として接続され、

を第1および第2の部分に分割し、前記第1および第2の信号部分をそれぞれ前記第1および第2の出力ポートにおいて利用できるようにする信号分割手段と、

第1および第2の入力ポートおよび出力ポートを有し、前記第1および第2の入力ポートに供給される信号を線形的に結合する信号結合手段と、

前記信号分割手段の前記第1の出力ポートおよび前記信号結合手段の前記第1の入力ポートに接続され、実質的な非線形歪みを発生することなく前記第1の部分を接続する第1の線形接続手段と、

ゲート、ソースおよびドレイン電極を有する電界効果トランジスタと、

前記信号分割手段の前記第2の出力ポートおよび前記電界効果トランジスタの前記ソースおよびドレイン電極の一方へ接続され、前記第2の信号部分を前記ソースおよびドレイン電極の前記一方へ供給する第2の線形接続手段と、

少なくとも前記ゲート電極に接続され、前記電界効果トランジスタを非線形動作領域にバイアス

し、これにより前記電界効果トランジスタは歪み信号成分を前記第2の信号部分に関連させて、第1の歪み信号を発生するバイアス手段と、

前記信号結合手段の前記第2の入力ポートおよび前記電界効果トランジスタの前記ソースおよびドレイン電極の一方へ接続され、前記第1の歪み信号を前記第1の信号部分と組み合わせて前もって歪ませられた信号を発生するように前記結合手段に供給する第3の線形接続手段と、

前記第1、第2および第3の線形接続手段の少なくとも1つに関連して、前記第1の信号部分と前記歪み信号との間に相対的な位相のずれを導入し、前記前もって歪ませられた信号の先行歪ませ動作を制御する位相制御手段と、

を有する前もって歪ませられる交流信号用の先行歪ませ等化器。

25. 前記第2および第3の線形接続手段の両方は前記ソースおよびドレイン電極の同じ一方へ接続され、

基準電位源と、

って歪ませられた信号は前記ハイブリッド回路の前記出力ポートに発生し、前記第1および第2の入力ー出力ポートはそれぞれ前記第1の部分および前記歪み信号を受信するように接続されており、

前記第2の線形接続手段は第1の方向の信号の流れを伝送路を介して供給する手段を有し、前記第3の線形接続手段は第2の方向の信号の流れを前記伝送路を介して供給する手段を有する請求項24記載の等化器。

28. 前記第3の線形接続手段は前記第2の線形接続手段が接続されない前記電界効果トランジスタの前記ソースおよびドレイン電極の一方へ接続されている請求項24記載の等化器。

29. 基準電位源と、

前記基準電位源および前記電界効果トランジスタ手段の前記ゲート電極に接続され、動作周波数においてリアクタンス特性を有する構成要素を有している接続手段とを更に有する請求項28記載の等化器。

30. 前もって歪ませられる信号の供給源に接

前記基準電位源および前記ソースおよびドレイン電極の他方に接続された第4の接続手段とを更有する請求項24記載の等化器。

26. 前記第4の接続手段は動作周波数においてリアクタンスを有するリアクタンス手段を有している請求項25記載の等化器。

27. 前記信号分割手段は入力ポート、出力ポート、および第1および第2の入力ー出力ポートを有する4ポート・ハイブリッド回路からなる第1の部分を有し、この第1の部分は前記ハイブリッド回路の前記入力ポートおよび前記第1および第2の出力ポートを有し、前記ハイブリッド回路の前記入力ポートは前記前もって歪ませられる信号の前記供給源に接続されるようになっており、前記第1および第2の信号部分はそれぞれ前記第1および第2の入力ー出力ポートにおいて利用できるようになっており、

前記信号結合手段は前記出力ポートおよび前記第1および第2の入力ー出力ポートを有する前記ハイブリッド回路の第2の部分を有し、前記前も

続されるようになっている入力ポートを有するとともに、また前もって歪ませられた信号が出力される出力ポートを有し、更に前記前もって歪ませられる信号が前記入力ポートに供給されたとき、前記前もって歪ませられる信号の等振幅基準位相および90°位相のサンプルが現れるとともに、前記出力ポートに供給されるように信号が供給される第1および第2の入力ー出力ポートを更に有するハイブリッド回路と、

前記ハイブリッド回路の前記第1の入力ー出力ポートに接続され、前記前もって歪ませられる信号の前記基準位相サンプルを前記ハイブリッド回路の前記第1の入力ー出力ポートに線形的に反射し、この第1の入力ー出力ポートから前記ハイブリッド回路の前記出力ポートに接続する線形反射手段と、

ゲート、ソースおよびドレイン電極を有し、前記ソースおよびドレイン電極の一方は前記第2の入力ー出力ポートに接続され、前記前もって歪ませられる信号の前記90°位相のサンプルを受信

する電界効果トランジスタと、

前記電界効果トランジスタの少なくとも前記ゲート電極に接続され、非線形動作を行うように前記電界効果トランジスタをバイアスし、これにより前記信号の前記90°位相サンプルが前記ハイブリッド回路の前記第2の入力ー出力ポートに非線形的に反射され、前記反射された基準位相サンプルと組み合わせられて前記ハイブリッド回路の前記出力ポートに接続されるバイアス手段と、

を有する先行歪ませ等化器。

3 1. 基準電位源と、

前記電界効果トランジスタの前記ソースおよびドレン電極の他方および前記基準電位源に接続された別の接続手段とを更に有する請求項30記載の等化器。

3 2. 前記別の接続手段は短絡回路を有する請求項31記載の等化器。

3 3. 基準電位源を更に有するとともに、前記電界効果トランジスタの前記ゲート電極および前記基準電位源に接続されたインピーダンス手段を

を有する先行歪ませ等化器。

3 6. 基準電位源と、

前記ゲート電極および前記基準電位源に接続されたインピーダンス手段とを更に有する請求項35記載の等化器。

3 7. 基準電位源と、

前記ソースおよびドレン電極の他方を前記基準電位源に接続する手段とを更に有する請求項35記載の等化器。

3 8. 少なくとも前記ゲート電極に接続され、前記電界効果トランジスタをバイアスするバイアス手段を更に有する請求項35記載の等化器。

3 9. 増幅される信号の少なくとも一部を電界効果トランジスタのソースおよびドレン電極の一方に供給して、歪み信号を発生し、

前記歪み信号を増幅器の入力端子に接続して、増幅された信号を発生する、

ことからなる信号を増幅する方法。

4 0. 前記供給は、

前記増幅される信号を前記一部および第2の部

更に有している請求項31記載の等化器。

3 4. 前記インピーダンス手段はリアクタンス素子を有している請求項33記載の等化器。

3 5. 入力ポート、この第1の入力ポートに供給される信号を受信するように接続されているが、この第1の入力ポートに信号を伝達しない第2のポート、およびこの第2のポートに供給される信号を受信するように接続されているが、前記第1のポートに供給される信号を受信しない出力ポートを有し、前記入力ポートは前もって歪ませられる信号の供給源に接続されるようになっている循環器と、

ゲート、ソースおよびドレン電極を有し、前記ソースおよびドレン電極の一方は前記循環器の前記第2のポートに接続され、この第2のポートから前記前もって歪ませられる信号を受信し、前記循環器の前記第2のポートに歪み信号を供給するために非線形的に反射し、前記歪み信号を前記循環器の前記出力ポートに供給する電界効果トランジスタと、

分に分割し、

前記信号の前記第2の部分を前記歪み信号と組み合わせて前記増幅器の前記入力端子に供給することからなる請求項39記載の方法。

3. 発明の詳細な説明

本発明は、電界効果トランジスタ(FET)のソースードレン伝導路を使用して歪みを発生するものに関し、詳しくは、電力増幅器、リミッタおよび対数変換器(ログアンプ)の振幅および位相歪みを補償する先行歪ませ回路として使用されるようなマイクロ波またはミリメートル波(無線)周波数(RF)における歪み発生器の使用に関する。

電子信号の増幅器は電気信号の電圧、電流または電力を増大するために使用される。理想的には、増幅器は別な点では信号に影響を与えることなく、信号の振幅を増大するのみである。しかしながら、全ての信号増幅器は増幅する信号に歪みを与える。この歪みは増幅器の能動素子の伝達関数または特性の非線形性から発生する。増幅器を通過する信

号の歪みは、信号のピーク-ピーク振幅を小さく維持することによって、および最も線形である伝達特性の中心部分を信号が通過するように増幅器を作動させることによって低減することができる。しかしながら、出力信号の動作域が増幅器の伝達関数のかなりの部分を超えて広がる必要がある場合がある。これは高価な各増幅器からの可能な最大出力電力を得るためにこのような動作が重要であるラジオおよびテレビジョン放送送信機の場合に存在する。また、この状態は衛星通信用のマイクロ波またはミリメートル波周波数（無線周波数またはRF）増幅器の場合に存在する。これはRFで動作する能動素子の能力が比較的適度な電圧および電流バイアスレベルでのみ動作することができる構造を必要としているからであり、信号の振れは利用できるバイアスの重要な部分、従って増幅器の全伝達関数の重要な部分を構成している。増幅器の出力信号の振れが伝達関数のかなりの部分を超える場合、通常の効果として小さな信号に比較して大きな信号が相対的に圧縮される。すな

わち、大きな信号レベルの増幅器の利得は小さな信号レベルの利得よりも小さくなる傾向がある。オシロスコープで観察された正弦波信号の場合、圧縮された出力信号は外観的には入力信号にはほぼ類似した正弦波であるが、頂上部と底部がいくらか平坦になっている。位相のずれはしばしば振幅の歪みを伴う。無線周波増幅器は多チャンネル衛星動作におけるように複数の信号を増幅するためにはしばしば使用される。多重信号を増幅する場合、ピーク信号値は重なり合う場合があり、大きなピーク-ピーク値を有する動作域を生ずる。多チャンネル信号の場合、圧縮は相互変調歪みを測定するのと同じように簡単には測定できない。相互変調歪みの測定は試験のために一般にそれ自身が変調されない搬送波の1つを伴う不要な積の相対的値を測定することによって通常行われる。

非線形増幅器に供給される信号の先行歪ませは増幅器の非線形性によって生ずる予想した歪みを補償するためにしばしば行われる。先行歪ませ回路の設計において発生する問題には、レベルの増

大とともに増大する利得を共に有し、従って増幅器の非線形性によって生ずる利得の減少を補償する非線形素子および対応する回路構成を見つけるという問題がある。この問題は振幅および位相の両方において増幅器の非線形性に対して非線形素子の非線形性を整合させることにある。すなわち、先行歪ませによる信号レベルの増大に伴う利得の増大および位相の変化は増幅器によるレベルの増大に伴う利得の低減および位相の反対方向の変化をほぼ打ち消さなければならない。先行歪ませ等化器が使用されるシステムが種々の電力レベルで動作する場合、非線形性の整合は所望の範囲の値にわたって発生しなければならない。

第1a図は典型的な従来の反射型先行歪ませ等化器の簡略ブロック図である。第1a図において、前もって歪ませられる信号は入力端子10を介して90°、3dBのハイブリッド結合器14の第1の入力ポート12に供給される。名目上、位相のずれが零である信号が方向性結合器14から出力ポート16を介して全体的に18で示す非線形ネット

ワークに供給される。この非線形ネットワークはブロック20として一緒に示す短絡減衰器および移相器を有している。この非線形性は全体的に22で示す歪み発生器によって形成される。第1a図に示されている歪み発生器の特定の形態は例えば1986年5月13日にキャット等(Kat.)に発行された米国特許第4,588,958号から従来技術として知られている一対の逆位相または逆並列ダイオード24,26である。このような逆並列ダイオードは簡単化、低価格および信頼性の点から有利である。また、入力ポート12に供給される信号は名目上90°の位相のずれをもって出力ポート28に供給され、全体的に30で示す線形チャンネルに供給される。この線形チャンネルは可変減衰器32と短絡移相器34の継続接続で構成されている。入力端子12に供給される信号は非線形チャンネル18および線形チャンネル30に供給され、処理され、反射され、そして互いに結合され、出力ポート36から出力される。第5b図に関連して以下に説明する

ように、逆並列ダイオード対のインピーダンスは周波数、温度および電力レベルの関数としてかなり変化し、この結果整合ネットワークは中間のインピーダンス値用に設計されなければならない。逆並列ダイオードは周波数、電力レベルおよび温度に対してよく追従しない傾向がある。また、逆並列ダイオードは調整が困難な傾向がある。

第1b図は透過型先行歪ませ等化器の簡略ブロック図である。第1b図において、前もって歪ませられる信号は入力ポート50を介して3dBハイブリッド分割器または結合器52に供給される。この装置52は信号を全体的に54で示す上側線形伝送路に供給される第1の部分と全体的に64で示す下側非線形伝送路に供給される第2の部分とに分割される。線形路54は継続接続された制御可能移相器56および制御可能減衰器58を有する。線形チャンネル54の出力に発生する減衰された位相シフトされた信号は3dBハイブリッド結合器62の第1の入力ポート60に供給される。下側の非線形チャンネル64は継続接続された制

御可能な移相器66および歪み発生器68を有する。非線形チャンネル64の出力における位相シフトされ、歪みを加えられた信号は3dBハイブリッド結合器62の第2の入力ポート70に供給され、3dBハイブリッド結合器62の出力ポート72においてこの出力ポート72に接続される電力増幅器に組み合わせられた線形および非線形信号を供給するように出力される。歪み発生器68は充分な入力電力が有効な場合には第1a図に示すようなダイオード発生器であってもよいし、または本技術分野で知られているように動作信号レベルで飽和する傾向を有する増幅器であってもよい。逆並列ダイオード対は上述した欠点を有し、増幅器は価格、複雑さ、電力消費および重量における欠点を更に有している。

歪みの非線形性が振幅および位相の両方において増幅器に容易に整合し、低価格で、簡単で、信頼性のある改良された先行歪ませ等化器が要望されている。

発明の概要

本発明による歪み回路は、歪み発生器として電界効果トランジスタ(FET)のソースードレイン伝導路を使用している。本発明の一実施例においては、信号はソースードレイン伝導路の両端に供給され、歪み信号は同様にソースおよびドレインの両端から取り出される。本発明の他の実施例においては、線形信号は直列に組み合わせられたソースードレイン伝導路および歪み信号を利用する負荷に供給される。

発明の説明

第2図は本発明による先行歪ませ等化器78の構成図である。この先行歪ませ等化器78はソースまたはドレイン電極82、ドレインまたはソース電極84およびゲート電極86を有し、ソースとドレイン電極の間に88で示すソースードレイン伝導路を有している電界効果トランジスタ(FET)80を有している。伝導路88は発生器94および負荷100がそれぞれ接続されている入力ポート90および出力ポート92の間に接続されている。発生器94は交流電圧源96('A.C.)

として知られている)を有するとともに、また98で示す内部インピーダンスを有している。

全体的に110として示されているバイアス源はバッテリ112および114としてそれぞれ示されている第1および第2の電圧源を有し、バッテリ112および114はそれぞれアースに接続されている負および正端子と、ポテンシオメータ116の両端に接続されている他端を有し、ポテンシオメータ116のワイヤ118は抵抗120として示されている分離素子を介してゲート電極86に接続されている。以上説明したように、第2図の装置は入力ポート90に供給される信号に対して先行歪ませ処理を行い、前もって歪ませられた信号を出力ポート92に発生し、電力増幅器(図示せず)の入力ポートのような負荷に供給するのに必要な全てである。FET80のソースまたはドレイン電極の直流電圧バイアスは必要ではないが、FETのゲートー伝導路88の接合の両端の電圧の供給は少なくともドレインまたはソース電極82、84の一方と基準電位点との間に直

流接続または同等な回路を必要とする。

歪みの大きさおよび／または位相の補助的な制御はアースに対するゲートのインピーダンス ($R_{土 J X}$) を適当に選択することによって達成されることを発見した。本技術分野に専門知識を有する者は第2図に関連してここまでに説明してきた装置がバイアス源110のACに対するインピーダンスによって、特に抵抗120およびポテンシオメータ116を有するバイアス源110のその部分によって達成されるアースに対するゲートインピーダンスを有することを知っている。歪みの制御は更にゲート86とアースとの間に接続された点線のブロック102として示されている補助インピーダンスまたは整合ネットワークによって達成され、これは一般にどのような回路でもよいが、複雑である。第2図においては、インピーダンス102は可変容量として示されている。RFにおいては、可変容量の波長における物理的寸法はリアクタンスの実質的な誘導成分を導入するようなものであり、これにより可変容量は直列共振

回路であるかのように動作する。第2図の先行歪ませ等化器78によって形成される歪みはバイアス電圧およびアースに対するゲート・インピーダンスの両方に従って変化する。

第3a図はバイアス電圧をパラメータとした場合の第2図の装置のポート90および92の間の信号電力レベルに対する振幅および位相の3GHzにおける曲線を示している。第3a図の曲線を有する特定な回路は住所が東京都千代田区丸の内1丁目6の1である富士通によって製造されたFSX03FAタイプのヒ化ガリウム(GaAs)MESFET(金属半導体FET)を有している。第3a図に示した特定の曲線に対しては、第2図の電極82はドレインであり、電極84はソースであり、抵抗120は4.70オームの値を有し、コンデンサ106の容量は約2pFであった。第3a図において、伝送損失は左の縦軸に沿って示され、位相は右の縦軸に沿って示されている。基準の矢印、1, 2, 3および4は1ミリワット(dBm)に対する0, 5, 10および15dBの信

号入力電力レベルに対応する。第3a図において、損失曲線は全体的に140として示されており、この中で曲線142はゲート・バイアス電圧が零ボルトであり、曲線144は+0.5ボルトであり、146は-0.5ボルトであり、148は+0.8ボルトであり、152は-2.0ボルトであり、155は+2.5ボルトであり、157は+5ボルトである。伝送位相の曲線は全体的に180で示され、アースに対するゲート・インピーダンスが一定の場合にゲート電圧のみの制御によって達成される大きな範囲の位相のずれを示している。

第3b図は第3a図の曲線に類似した曲線を示しているが、第2図のFET80の電極82はソースとして接続され、電極84はドレインとして接続されている。第3b図において、曲線群200は損失を示す曲線であり、220は位相を示す曲線群である。これらの曲線から、信号がソースードレイン伝導路88を通過する場合、信号の流れの方向に関わらず、ほぼ同じ種類の非線形性が

発生することが明らかである。所与の用途においては一方の方向の流れまたは他方の方向の流れが優れているが、一般的にはどちらが好ましいというものではない。

第3c図は第3a図および第3b図に類似しており、電極82がソースであり、電極84がドレインであり、バイアス電圧が10Vである場合の第2図の装置に類似した装置に対する第2図のコンデンサ106のリアクタンスの大きさを種々変えた場合の3GHzにおける影響を示しているものである。第3c図において、曲線群260は伝送損失であり、280は位相のずれである。損失を示す曲線のうち、261はアースに対するゲートのリアクタンスが+J40オームに対するものであり、曲線262は+J26オームに対するものであり、曲線263は+J19オームに対するものであり、曲線264は-J20オームに対するものであり、曲線266は-J10オームに対するものである。伝送の位相のずれを示す曲線280のうち、曲線282はアースに対するゲートの

リアクタンスが $-J20$ に対するものであり、曲線 298 は $+J40$ に対するものであり、これらの間に位置する曲線は $-J20$ と $+J40$ との間の値のリアクタンスに単調に関連している。

第4図は本発明による反射装置 499 に接続されたFETを示している。第4図はいくつかの点において第2図に類似しており、対応する構成要素は同じ符号で示されている。第4図において、反射装置 499 はFET 80 の電極 84 を有し、この電極は 401 で示す接続路を介してアース 402 として示されている基準電位源に接続されている。FET 88 のゲート電極 86 は抵抗 404 として示されているインピーダンスを介してバッテリ 114 として示されているバイアス電源に接続されている。本技術分野に専門知識を有する者は一般的にバッテリ 114 は内部インピーダンスが 0 であるので、ゲート電極 86 からアースに対する交流および直流インピーダンスの両方は抵抗 404 の抵抗値によって設定されることを理解するであろう。また、本技術分野に専門知識を有す

る者はバッテリ 114 からのほぼ全ての直流電圧は電極 86 と電極 82 および 84 との間に形成されることを理解するであろう。これは別の直流バイアスが電極 82 および 84 に対して設定されないとともに、抵抗 98 が 50 オームのように比較的低い値であるからである。

少なくともいくつかの場合には、電極 82 および 84 の両方に対する直流電流帰路を有する必要はないことが分かっているが、1つの帰路のみを有し、電極の一方に対しては直流を阻止するようになっていることが好ましい。

第4図において信号発生器 94 からポート 90 を通じて供給される信号はFET 80 のソースードレイン伝導路 88 を2回通過する。1回目は、電極 82 からアース 402 における短絡回路であり、アース 402 から電極 84 を通じて電極 82 に戻される。また、これはポート 90 に接続された非線形インピーダンスからの反射を見るることもできる。

第5a図は種々の入力信号電力レベルに対する

-0.5 ボルトのゲート・バイアス電圧における 1 ないし 3GHz の周波数範囲にわたるポート 90 に対する第4図の装置によるインピーダンスの複数の簡略化された「スミス」図表を示している。第5a図の図表において、第4図のFET 80 の電極 82 はドレイン電極であり、抵抗 404 は 470 オームの値を有していた。インピーダンス 102 によって寄与されるアースに対するゲート・インピーダンスは無限であり、抵抗 404 のみがアースに対するゲート・インピーダンスに寄与している。第5a図において、曲線 400 は -10dBm の入力電力レベルにおけるインピーダンスを示し、この曲線 400 の一端 401 は 1GHz であり、他端 403 は 3GHz である（第5a図および第5b図の全ての曲線は中心に対して時計方向に増大する周波数を有している）。直線 405 は $+5\text{dBm}$ の入力電力に対するものであり、曲線 410 は $+10\text{dBm}$ に対するものであり、曲線 415 は $+15\text{dBm}$ に対するものであり、曲線 420 および 425 はそれぞれ $+20$ および $+25\text{dBm}$ に

対するものである。曲線 420 の 1 および 3GHz の端部はそれぞれ 421 および 423 で示されている。

第5b図は同じ周波数範囲に対して逆並列ダイオード対によって示されるインピーダンスの複数の同様な簡略化された「スミス」図表を比較のために示している。第5b図において、曲線 426 は -10dBm におけるものであり、曲線 428 は -5dBm におけるものであり、曲線 430 は 0dBm におけるものである。曲線 432 、 434 、 436 、 438 および 440 はそれぞれ $+5$ 、 $+10$ 、 $+15$ 、 $+20$ および $+25\text{dBm}$ に対するものである。第5a図および第5b図の曲線を比較すると、FET（第5a図）の曲線はダイオード対に比較して周波数の広がりに対するリアクタンスの変化が小さく、また周波数の関数としてインピーダンスの抵抗成分（半径）が更に一定であることがわかる。FETのこれらの特徴は適当な歪みを選択することができる非常に多くの制御可能なパラメータ、すなわち「ハンドル（handles）

」に加えて、周波数の関数として非線形性を更に正確に制御することができる。

第6 a図はバイアス電圧をパラメータとした場合の無限のゲート・インピーダンス102を有し、周波数が1.5GHzである上述した例における第4図の装置に対する電力レベルを関数とした入力反射減衰量の大きさを示している。第6 a図において、曲線600はゲート・バイアスが0ボルトにおける大きさを示し、曲線605は-0.5ボルトにおける大きさを示し、606は-0.6ボルトにおける大きさを示し、6067は-0.675ボルトにおける大きさを示し、607は-0.7ボルトにおける大きさを示している。曲線6072, 6075および609はそれぞれゲート・バイアスが-0.725, -0.75および-0.9ボルトにおけるものである。第6 b図は第6 a図と同じ例に対してバイアス電圧をパラメータとした場合の電力レベルを関数とした第4 a図の装置における反射の位相を示している。第6 b図において、曲線620はゲート・バイアスが0ボルトにおけるものである。

第6 d図はゲート・リアクタンスをパラメータとした場合のバイアス電圧が0ボルトにおける第4図の装置の度で表した反射係数の位相を示している。曲線680, 682, 684, 686, 688, 690および692はそれぞれ+J19, +J20, +J26, +J30, +J34, +J37および+J40のゲート・リアクタンスに対応している。

第7図は先行歪ませ等化器700を示している。第7図において、前もって歪ませられる信号を受信するようになっている入力ポート710は3ポート循環器714のポート712に接続されている。循環器714のポート712に供給される信号は入出力ポート716から循環して、この入出力ポート716から出力され、第4図の装置に対応する反射装置499の90で示す入力ポートに供給される。この図において、構成要素は第4図と同じ符号によって示されている。インピーダンス回路499によって反射される信号は循環器7

トにおける入力反射係数の位相を示している。曲線626, 627, 6275および629はそれぞれゲート・バイアスが-0.5, -0.6, -0.7, -0.75および-0.9ボルトにおける入力反射係数の位相を示している。第6 a図および第6 b図の曲線は反射係数の位相および振幅が反射動作モードにおいてゲート電圧および入力信号電力レベルの制御の下にあることを示しており、これは伝送モードで対応する制御下の直通損失および位相のずれとほぼ同様である。

第6 c図はゲート・リアクタンスをパラメータとした場合のバイアス電圧が0ボルトにおける第4図の装置の入力電力に対する反射減衰量の形式の反射係数の大きさを示している。第6 c図において、曲線669は+J19オームのゲート・リアクタンスに対するものであり、曲線670は+J20オームに対するものであり、曲線676は+J26オームに対するものである。同様にして、曲線630, 634, 637および640はそれぞれ+J30, +J34, +J37および+J4

14の入出力ポート716に再び供給され、別のポート718に循環される。そして、このポート718から第7図の先行歪ませ等化器700の出力ポート720に供給される。前もって歪ませられる信号は第7図の先行歪ませ等化器の入力ポート710に供給され、第5 a図、第6 a図および第6 b図に説明して非線形性に従って非線形性をもって変更されて、出力ポート720に現れる。

第8図はゲート・バイアス電圧をパラメータとした場合のインピーダンス素子102内の第2回のコンデンサ106に類似したゲート・コンデンサによって寄与される約+J15オームのゲート・インピーダンスを有する第7図の先行歪ませ等化器700に対する1.6GHzの周波数における入力の大きさに対する直通損失を示す図である。第8図において、曲線806, 807, 808および809はそれぞれ4つのゲート・バイアス電圧-0.6, -0.7, -0.8および-0.9ボルトに対するものであり、曲線810, 811および815はそれぞれ+1.0, +1.1およ

び + 1.5 ボルトに対するものである。

第9図は本発明による反射型先行歪ませ等化器 900 の簡略ブロック図であり、この等化器 900 はハイブリッド結合器、すなわち方向性結合器および第4図に示すような反射型歪み発生器を使用している。第9図において、入力ポート 910 に供給される信号は 3 dB 直角位相ハイブリッド分割器または結合器 914 の入力ポート 912 に供給される。3 dB ハイブリッド 914 の入力ポート 912 に供給される信号は -3 dB の振幅および基準位相をもって第1の出力ポート 916 に供給されるとともに、-3 dB の振幅および 90° の位相の差をもって第2の出力ポート 918 に供給される。ハイブリッド 914 の出力ポート 916 に現れる信号は導体 920 を通って 924 として示されている線形反射回路の入力ポート 922 に供給される。この線形反射回路 924 はアース 926 として示されている基準電位に少なくとも接続されている。出力ポート 918 に出力される信号は伝導路 928 を通ってブロックとして示されて

いる FET 非線形反射回路 499 の入力ポート 90 に供給される。回路 499 の詳細については第4図において上述した通りである。

第10図は参考のため第4図の反射型 FET 歪み発生器 499 を示しており、バイアス電圧源 114 はブロックとして示され、電極 84 は導体 92.1000 によってアースに接続されている。第10図に示すように、インピーダンス 102 はゲート電極 86 とアース 104 との間に接続されたインダクタ 103 およびこのインダクタ 103 に直列に接続されたコンデンサ 1002 のリアクタンスを有している。この構成はインダクタののような交流リアクタンス素子が FET 80 のゲート電極 86 へのバイアス電圧の供給を乱すことなくゲート電極 86 とアース 104 との間に接続されるという利点を有している。この装置においては、抵抗 104 は分離のみを行うものであり、本技術分野で周知であるようにインダクタまたは無線周波チョーク (RFC) によって置き換えることができる。しかしながら、抵抗はゲート電流

を制限することによって FET が焼ききれることを防止するためにゲート・バイアスのある極性または値に対して有利である。

第11図は第7図または第9図の装置に有効な FET のソースードレイン伝導路を使用した他の反射回路を示している。第4図または第10図の構成要素に対応する第11図の構成要素は同じ符号で示されている。第11図において、固定バイアス電圧 V_{BIAS} は外部供給源から入力端子 1110 に供給され、無線周波バイパス・コンデンサ 1112 とともに第10図のバイアス電圧源 114 に対応している。バイアス電圧は分路抵抗 1118 とともに動作する直列抵抗 1116 を有する分圧器 1114 に供給され、ゲート電極 86 に電圧を発生する。この構成はアースに対するインピーダンスの抵抗成分が低いという利点を有しているが、そうでない場合には抵抗 1118 は必要でない。ゲート電極 86 からのアースに対する交流インピーダンスはブロック 102 として示されているゲート・インピーダンス整合ネットワークによ

って設定される。ソースまたはドレイン電極 84 が整合ネットワーク 1119 を介してアースに接続され、整合ネットワーク 1122 が入力ポート 90 と FET 80 のドレインまたはソース電極 82 との間に設けられている。本技術分野に専門知識を有する者に知られているように、整合ネットワーク 1119 または 1122 の一方または両方が直流電流を阻止する場合、例えば直流コンデンサを有している場合、無線周波チョーク 1124 および 1125 として示されている一方または両方のバイアス・ティーは電極 82 および 84 を所望によりアースに接続する。ある場合には、電極 82 または 84 の一方または他方がアースからの直流電流の流れを阻止されている場合、動作を強めることができる。

整合ネットワーク 102, 1119 および 1122 の 1つ以上は所望の動作によっては装置から削除することができる。各整合ネットワークはインダクタンス、容量および抵抗のいずれか 1つまたは全てを有する 1つまたは任意の数の集中また

は分布素子からなる回路を有することができ、素子は用途に応じてどのような複雑さの回路にも構成することができる。

以上説明したように、非線形性は単一の FET のソースードレイン伝導路 88 によって形成されている。第 12 図の装置は非線形性に対して更に多くの制御を行うために複数の FET のソースードレイン伝導路を反射構成として継続接続し、異なる電圧レベルでバイアスされる方法を示している。第 11 図の構成要素に対応する第 12 図の構成要素は同じ符号で示されている。第 12 図において、別の FET 80' はポート 90 および整合ネットワーク 1219 を介して FET 88 の電極 82 に接続されたソースまたはドレン電極 84' の 1 つを有している。別の FET 80' のドレンまたはソース電極 82' は整合ネットワーク 1122' を介して入力ポート 90' に接続されている。整合ネットワーク 1219 は継続接続された 2 つの整合ネットワーク 1119 および 1122 のインピーダンスを包含している。バイ

アス電圧 V_{BIA}S が別の端子 1110' に供給され、RF バイパス・コンデンサ 1112' および別の分圧器 1114' を介してゲート電極 86' に供給されている。調整可能な抵抗 1118' はゲート電極 86' に供給される電圧から無関係にゲート電極 86' に供給される電圧の制御を可能にしている。上述したように、種々の整合ネットワークは抵抗、コンデンサまたはインダクターの 1 つまたは全てからなるか、または対応する分布等価回路からなる簡単なまたは複雑な回路構成を有する。更に整合ネットワーク、FET およびバイアス電圧調整ネットワークを有する歪み発生器の別の部分が第 12 図の装置のポート 90' に継続接続することができる。非線形性に対して更に多くの制御がこのように複数の継続接続された FET を使用することによって達成されるので、所望の性能を達成するために整合ネットワークにおける回路の複雑さが少ないことが要求され、継続接続された整合ネットワークのいくつかまたはすべてが除去されることがわかる。

同様に、2 つ以上の FET がソース電極およびドレン電極を結合することによって並列に設けられてもよいし、またはソース電極がドレン電極に結合されてもよく、これらは異なるゲート・バイアス電圧、異なるゲート・インピーダンスまたはその両者を用いることによって異なるレベルの非線形性で動作することができる。ある場合には、種々のソース電極またはドレン電極の間の整合ネットワークは改良された制御を有している。

第 13 図は L、C および KU 帯域における本発明による反射型線形化器を使用することによって達成される改良を示している。第 13 図において、曲線 1300 は典型的な TWT 増幅器のみの搬送波対相互変調比 (C/I) を dB で示しており、曲線 1316 は 1. 6 GHz の周波数における性能を示し、1304 は 4. 0 GHz における性能を示し、1312 は 1.2 GHz における性能を示し、この全ては第 9 図に示すような直角位相ハイブリッドを使用した反射型線形化器を有している。

第 14 図は特定の進行波管増幅器 (TWT) お

よび第 9 図に示した先行歪ませ等化器用の C/I 比を dB で示している。第 14 図において、1400 は 2 つの入力信号の周波数が接近した場合の特定の電力出力レベルからのバックオフを関数とした場合の TWT のみの C/I 比を示している。曲線 1440 は 4. 20 GHz の周波数において先行歪ませ等化器を継続接続した結果の C/I における改良を示し、曲線 1438 および 1442 はそれぞれ 3. 8 および 4. 2 GHz における対応する曲線を示している。

第 15 図は本発明による透過型先行歪ませ等化器の簡略ブロック図である。第 15 図において、入力ポート 1510 は信号電力分割器またはスプリッタ 1512 に接続され、このスプリッタ 1512 は信号を等しい振幅を有する 2 つの部分に分割する。信号の第 1 の部分はスプリッタ 1512 の出力ポート 1514 から伝導路 1516 を通って 1518 として全体的に示されている上側または線形チャンネルに供給される。この上側チャンネルは信号を出力電力結合器 1522 の入力ポー

ト1520に供給する。上側チャンネル1518は分離した減衰器1524と移相器1526を有し、また他の構成要素を有してもよい。スプリッタ1512によって出力される信号の第2の部分はスプリッタ1512の出力ポート1534から導体1536を通って下側または非線形伝送チャンネル1538に供給される。この下側チャンネル1538は信号を電力結合器1522の入力ポート1540に中継する。結合器1522においては、入力ポート1520に供給された線形的に中継された信号を入力ポート1540に供給された非線形的に中継された信号と結合し、結合された前もって歪ませられた信号を出力ポート1542に出力する。出力ポート1542からの信号は通常動作レベルによって歪みを発生する電力増幅器（図示せず）に供給される。下側または非線形伝送路1538は本発明によるFET非線形伝送回路を有し、特に第2図の装置を使用することができる。

第16図は第2図に類似したFET非線形伝送

1730および1732の一方または両方はFET電極82に隣接した容量性タブ1736があつてもなくてもよいが、第17b図において1734として示されている1/4マイクロストリップラインのような伝送ラインと同じように簡単なものとすることができます。伝送ライン1734は幅が一定であるかまたは長手方向に沿って幅が変化してもよい。整合ネットワーク1730および1732、およびインピーダンスブロック102はどのような複雑さの集中または分布素子からなる回路を有していてもよい。第17c図および第17d図はそれぞれ阻止用コンデンサを有している集中回路のπネットワークおよび阻止用コンデンサを有していない集中回路のπネットワークを示しており、整合ネットワークに使用される。単一の周波数におけるどのようなインピーダンスにも整合することができるこのようなネットワークの能力は周知である。第17e図は第17c図の装置の分布等価回路である交互に幅が代わるマイクロストリップ導体の平面図を示している。

回路を示し、バイアス源110がブロックとして示されている。第2図の場合におけるように、インピーダンスまたは整合ネットワーク・ブロック102はアースに対して無限のインピーダンスを有しているか、または先行歪ませが提供される主増幅器の歪みに合うように必要に応じた複雑さの回路であってもよい。第16図の装置は透過型先行歪ませ等化器としてのみ使用されたり、または第15図の装置の構成部78として使用されてもよい。

第17a図は単独で使用されたり、または第15図の装置とともに使用される別のFET非線形透過回路を示している。第17a図において、第2図の構成要素に対応する構成要素は同じ符号で示されている。第17a図において、1730として示されている整合ネットワークは入力ポート90とFET80のソースまたはゲート電極82との間に設けられ、別の整合ネットワーク1732はドレインまたはソース電極84と出力ポート92との間に接続されている。整合ネットワーク

第17a図において、インピーダンスまたは整合ネットワーク102は2つのリアクタンス素子、すなわち1740として示されているインダクタおよび可変コンデンサ1742を有するものとして示されている。集中形式で示されているが、これらおよび他の素子は本技術分野で周知のように分布形式であってもよい。インダクタと可変容量との直列組合せ回路は共振周波数において0の交流インピーダンスを示し、共振周波数よりも高い周波数において誘導性リアクタンスを示し、共振周波数より低い周波数において容量性リアクタンスを示す。

第18図の装置は第14図の反射回路499を使用した他の透過型先行歪ませ等化器を示している。第18図において、2つの継続接続されたインピーダンスは、第1の抵抗1810がノード1814において第2の抵抗1812に接続されているが、これらは入力ポート90から出力ポート92に延びている。ブロック499として示されているFET非線形性反射回路はノード1814

からアースに延びている。FET非線形反射回路499は第4図に関連して説明されているが、第11図または第12図の装置も使用することができる。第18図の装置は第7図の循環器および第9図のハイブリッドのように反射型非線形回路が透過型回路構成において非線形性を形成することを可能にしている。

複数のFETのソースドレイン路を使用した透過型歪み発生器は分離して示されていないが、整合ネットワーク1119のアースの代わりに別のポートが置き換えられている第2図の反射型装置に類似しているものである。

第19図は第17図に示されているような透過型先行歪ませ等化器に対する歪みの曲線を示しており、FET非線形透過回路は第16図に示されているものと同じである。第19図において、曲線1912は2つの入力信号の周波数が接近している場合のバックオフ・レベルを閾値とした12GHzにおけるTWTの非線形歪みを示している。曲線19120は12GHzの周波数において

TWTが透過型先行歪ませ等化器と継続接続されている場合の対応する歪みを示しており、曲線19121および19122はそれぞれ12.1および12.2GHzにおける対応する曲線を示している。

第20図はTWTとともに使用された場合の第19図に関連して説明した先行歪ませ等化器の温度依存性を示している。第20図の曲線1912は第19図におけるようにTWTのみの歪みである。TWTは熱電子管であるので、動作中の温度は高く、周囲温度における小さな変化はその動作に実質的な影響を与えない。曲線1912は全ての温度におけるTWTの歪みを示している。曲線2010は-10°Cの温度においてTWTと継続接続された第19図で説明した先行歪ませ等化器を組み合わせた場合の歪みを示している。2060で示される組み合わせられた曲線は+60°Cを含む+60°Cまでの全ての他の温度に対する結果を示している。

第2図、第4図、第10図、第11図、第12

図、第16図、第17図および第18図の装置はリミッタまたは対数変換器（通常対数増幅器として知られている）に有益な歪みを発生することを発見した。リミッタは第4図、第10図、第11図または第12図の装置のような反射型装置に接続されてもよい。第21図は反射型リミッタとしての第7図の循環装置の2.75GHzの特性を示し、振幅曲線2100の最も平坦な部分に対してはゲート電圧は約+0.19ボルトであり、ゲート容量は約2ピコ・ファラード(PF)である。コンデンサは2.75GHz未満で自己共振するので、コンデンサのこの状態は最大誘導リアクタンスに対応する。位相は曲線2102によって示すように0から数度以内のところに留まっている。

第22図は入力電力(dBmで表された入力電力)の対数に対する出力電力を示しており、第21図に対するものと同じ条件の下で第7図の装置の伝達関数のログーリン(log-lin)曲線を形成している。第22図において、曲線2200は実質的にまっすぐな2つの直線部分で形成されており、

その1つは約0dBmの入力電力より上であり、他方はそれより下であって、両者はわずかに異なる勾配を有している。この勾配はゲート電圧および/またはゲート・インピーダンスで制御可能である。ログーリン曲線の直線特性は対数応答特性を示している。

第23図は12GHzにおける第2図のような透過型ひずみ発生器の振幅応答特性を曲線2300として示している。制限特性は約6dBmの入力より上であることは明らかである。対応する位相特性は2302として示されている。

本発明の他の実施例は本技術分野に専門知識を有する者に明らかであろう。例えば、102のようなアースに対するゲート・インピーダンスは適当なバイアス電圧が供給されている限り、インダクタ、コンデンサ、抵抗またはこれらの分布等価回路からなる複雑なネットワークを有していてよい。バイアス電圧はゲート・インピーダンス102を介してゲート電極に供給することができる。ゲート・インピーダンス102はある場合には少

しも必要でなく、ゲート・バイアス源のアースに対するインピーダンスで充分である。第2図において説明したように、基準電位源とソースまたはドレイン電極82、84の一方との間の直流路はゲートとソースードレイン路88の間に電圧を供給するために必要である。この直流路は阻止用コンデンサによって遮断されている場合でも直流復帰回路によって形成されてもよい。アースまたは短絡接続が言及されている場合は、本技術分野に専門知識を有する者は交流のためにアースに対する低い交流インピーダンスのみが必要であり、接続部における直流電位は無関係であることを認めている。短絡は通常ある状況において、特に低インピーダンスシステムに対して反射素子として使用されるが、開放回路が同様な機能を行うこともできる。

4. 図面の簡単な説明

第1a図は非線形素子として逆並列ダイオード対を使用した従来の反射型先行歪ませ線形化器または等化器の簡略ブロック図であり、第1b図は

号レベルに対する入力反射減衰量の大きさおよび位相の曲線をそれぞれ示す図であり、第6c図および第6d図はゲート・リアクタンスをパラメータとした場合の反射係数の大きさおよび位相の曲線を示す図である。

第7図はFETのソースまたはドレンに接続されたポートを有する循環器を使用した本発明による反射型先行歪ませ等化器を示す簡略構成図である。

第8図はゲート・リアクタンスをパラメータとした場合の信号入力レベルに対する1600MHzにおける第7図の装置の伝送または損失の相対的大きさの曲線を示す図である。

第9図はハイブリッド・カプラを使用し、非線形装置をブロックとして示している本発明による反射型先行歪ませ等化器のブロック図である。

第10図は第9図の装置に使用可能な本発明による反射型FET歪み発生器の原型の構成を示すブロック図である。

第11図は第9図の装置に適用するための第1

非線形素子として増幅器を使用した透過型先行歪ませ等化器の簡略構成図である。

第2図は透過型装置として先行歪ませ線形化器、リミッタまたは対数変換器として接続されたFETの構成図である。

第3a図および第3b図は第2図の構造の信号電力レベルに対する伝送振幅および位相の曲線をそれぞれ示す図であって、バイアス電圧をパラメータとしてあり、第3c図はゲート・リアクタンスをパラメータとした場合の同様な曲線を示す図である。

第4図は反射型装置に接続されたFETの構成図である。

第5a図は信号電力レベルをパラメータとした場合の第4図の装置の周波数範囲にわたるインピーダンス曲線を示す図であり、第5b図は第1図において22として示すような逆並列ダイオード対の対応する曲線を示す図である。

第6a図および第6b図はゲート電圧直流バイアスをパラメータとした場合の第4図の装置の信

号レベルに対する入力反射減衰量の大きさおよび位相の曲線を示す図である。

第12図は本発明の一実施例による継続接続された複数のFETを示す図である。

第13図および第14図はヒューズ(Hughes)のTWT増幅器(周波数に適している)の性能の曲線を両方とも単独および本発明による反射型先行歪ませ等化器を有する場合について示す図であり、第13図の場合には1.6、4.0および1.2GHzにおけるものであり、第14図の場合には3.8、4.0および4.2GHzの場合におけるものである。

第15図は本発明による第2図のような透過型FET歪み発生器、電力スプリッタ、電力結合器を使用した透過型先行歪ませ等化器の構成を示すブロック図である。

第16図は参考のため第2図の透過型先行歪ませ等化器の構成を示すブロック図である。

第17a図は第15図のような装置とともにまたは単独で使用することができ、補助回路を有す

る透過型FET歪み発生器を使用した先行歪ませ等化器の構成を示すブロック図であり、第17b図、第17c図、第17d図および第17e図は第17a図の装置に使用される補助回路を示す図である。

第18図は透過型FET歪み発生器として接続されている第10図、第11図または第12図の装置の1つのような反射型FET歪み発生器の使用を示す本発明による先行歪ませ等化器の構成を示すブロック図である。

第19図は12.0、12.1および12.2GHzの周波数における第17図のような透過型歪み発生器を使用した先行歪ませ等化器を有するヒューズのTWTの性能の曲線を示す図である。

第20図は-10°Cから+60°Cの温度範囲で12.0GHzの周波数における第17図の透過型歪み発生器を使用した先行歪ませ等化器を有するヒューズのTWTの性能の曲線を示す図である。

第21図は第7図の構造を有する反射型FET歪み発生器の制限特性を示す図である。

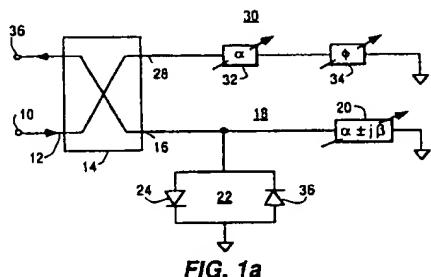


FIG. 1a

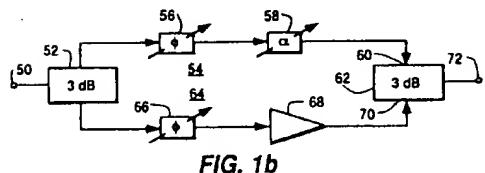


FIG. 1b

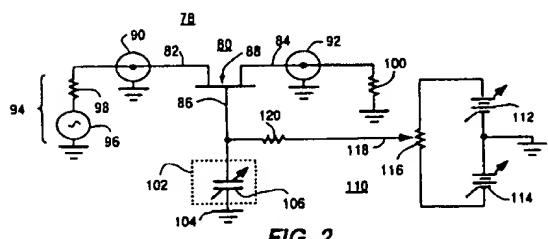


FIG. 2

第22図は同じ反射型構造の対数特性を示す図である。

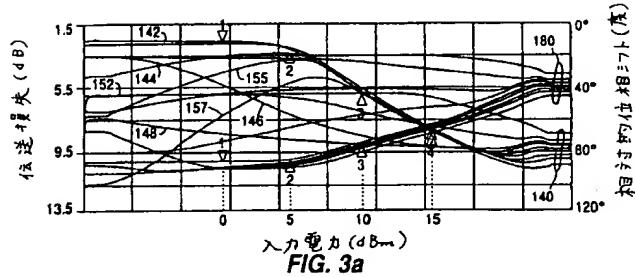
第23図は第2図の構造を有する透過型FET歪み発生器の制限特性を示す図である。

78…先行歪ませ等化器、80…電界効果トランジスタ、86…ゲート電極、88…ソースードレイン伝導路、90…入力ポート、92…出力ポート、94…発生器、100…負荷、102…インピーダンス、110…バイアス源、120…抵抗。

特許出願人

ゼネラル・エレクトリック・カンパニー

代理人 (7630) 生沼徳二



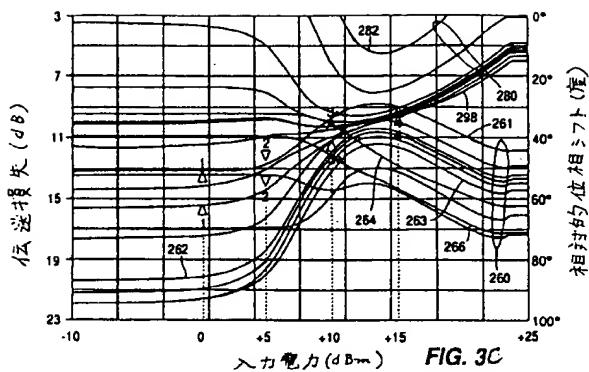


FIG. 3C

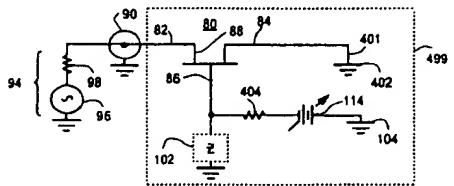


FIG. 4

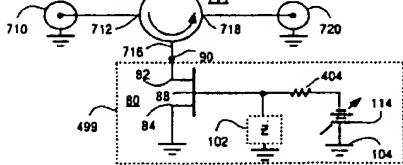


FIG. 7

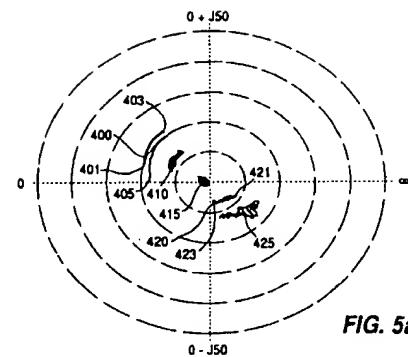


FIG. 5a

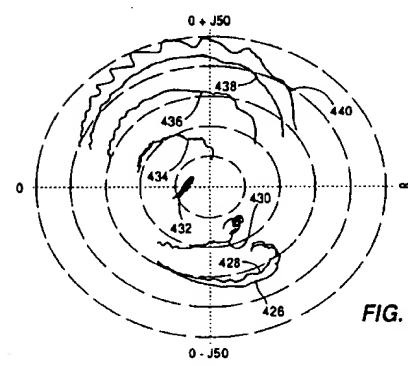


FIG. 5b

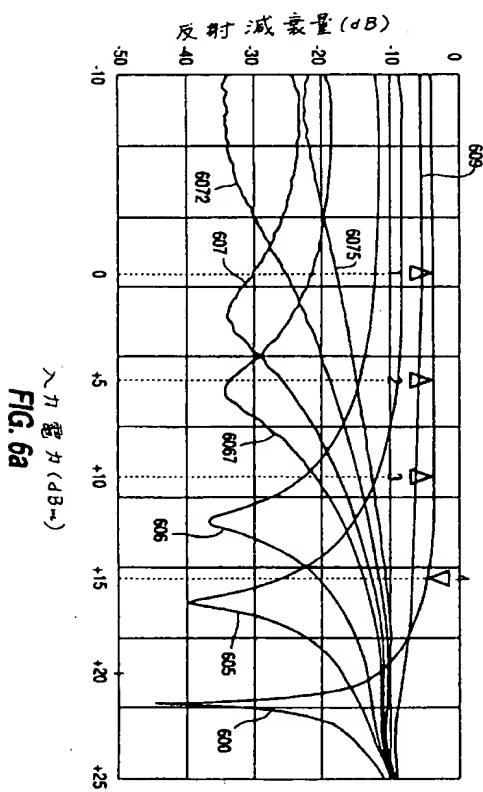


FIG. 6a

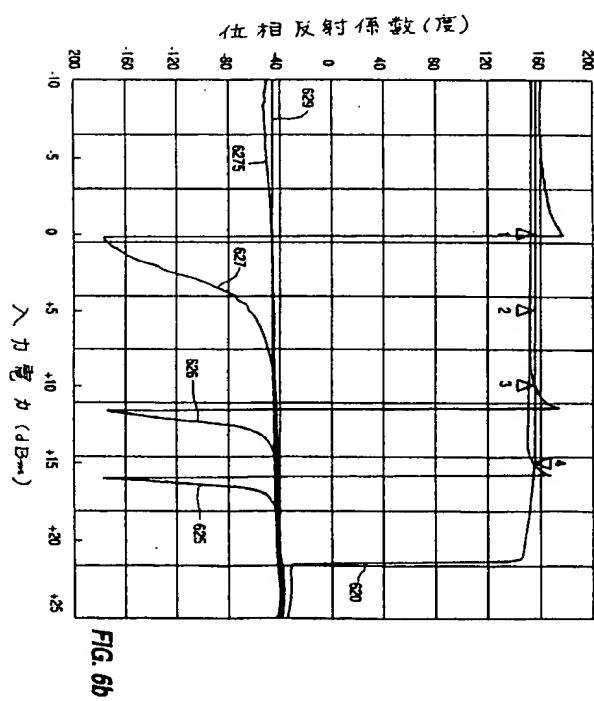


FIG. 6b

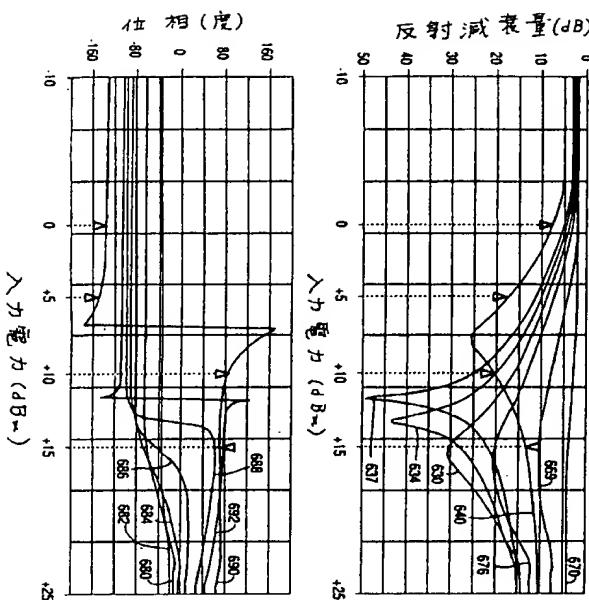


FIG. 6d

FIG. 6c

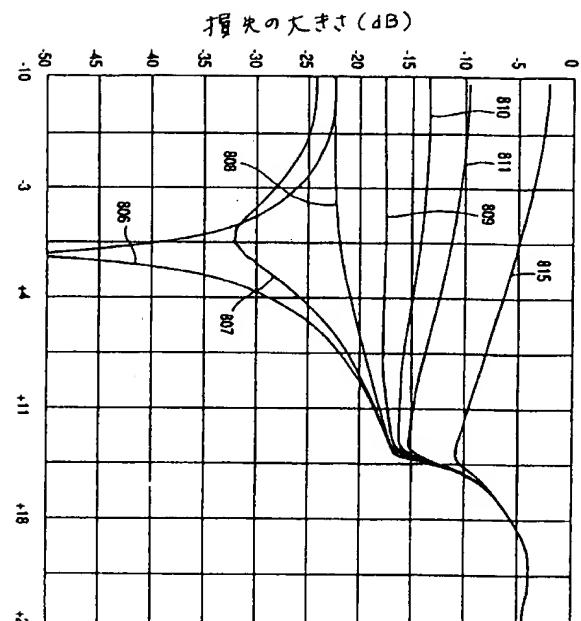


FIG. 8

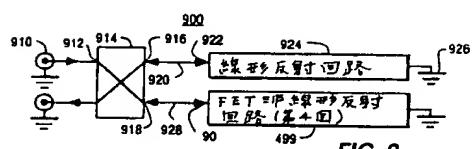


FIG. 9

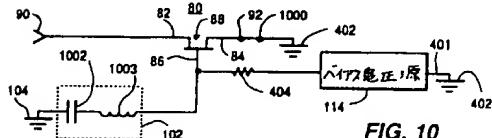


FIG. 10

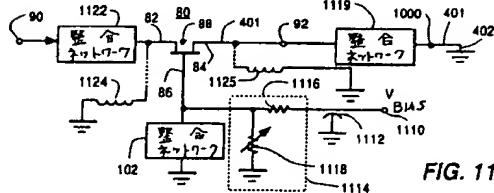


FIG. 11

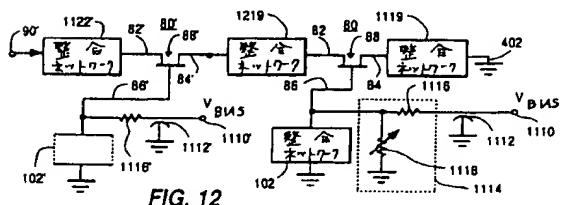
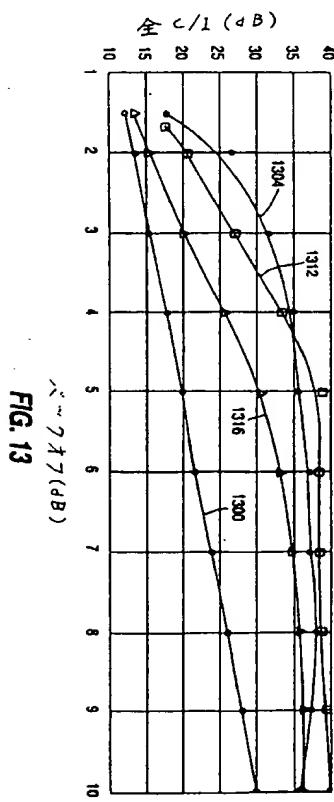
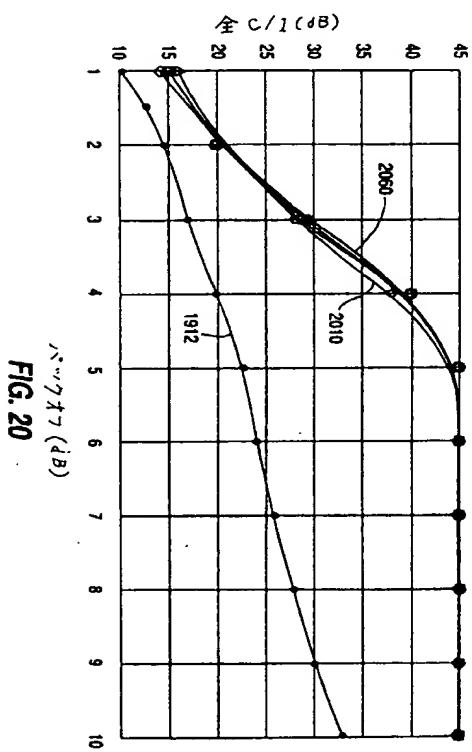
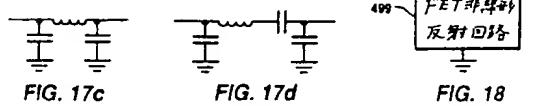
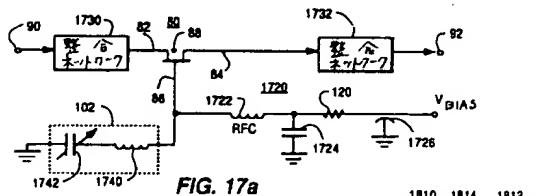
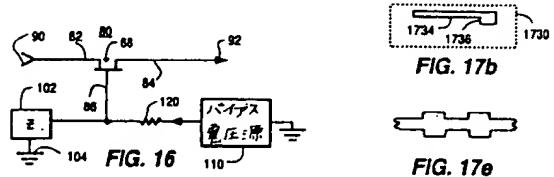
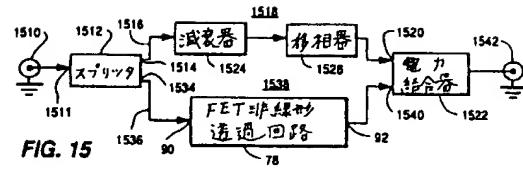
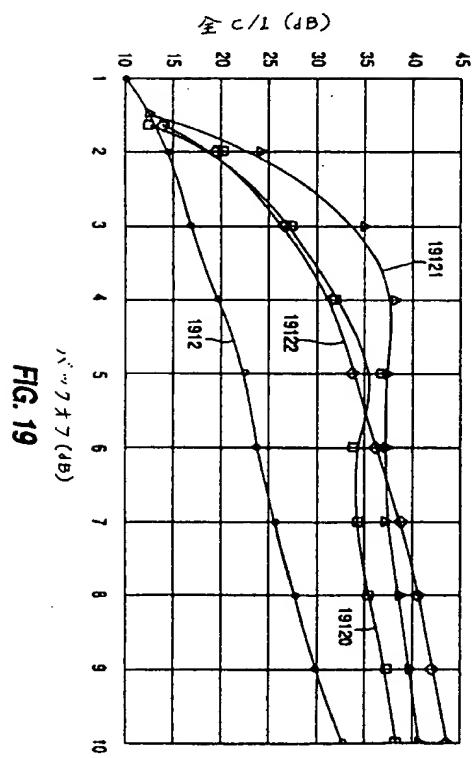
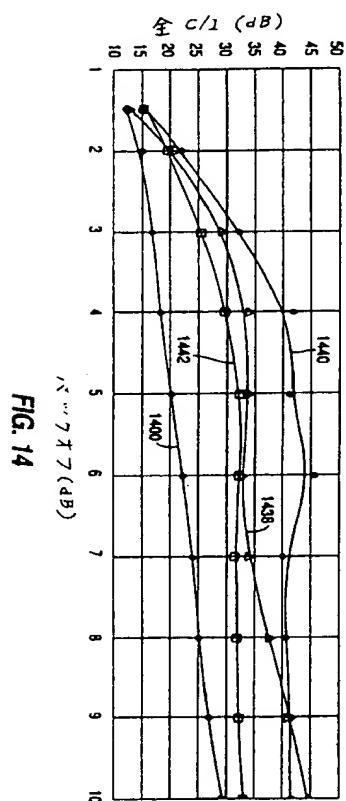


FIG. 12



۱۳



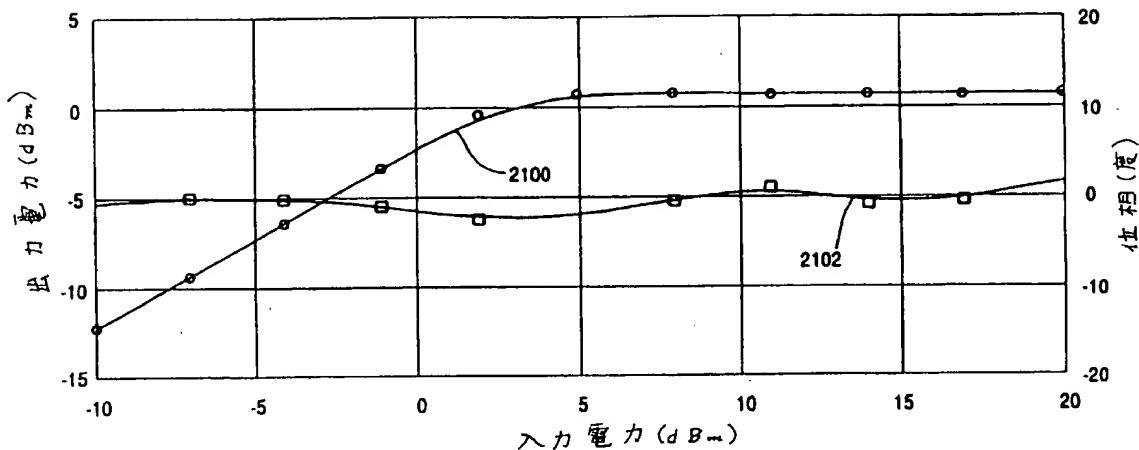


FIG. 21

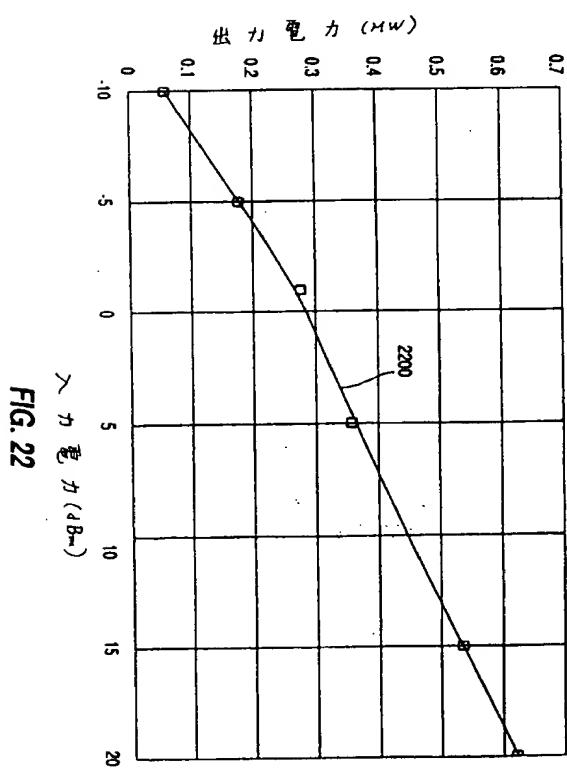


FIG. 22

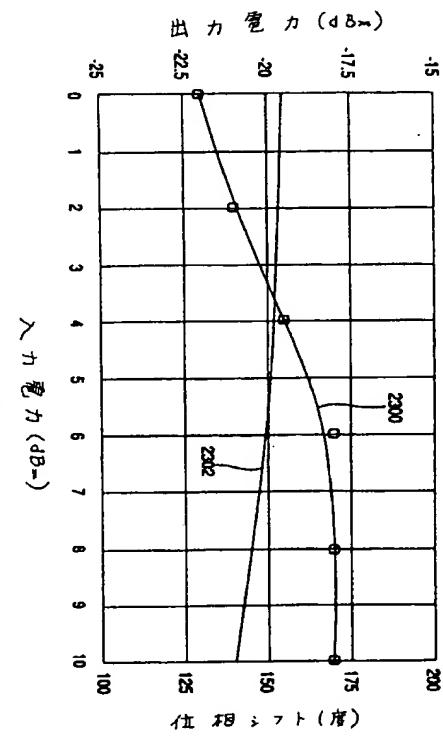


FIG. 23